

串列誤差修正型直流降壓轉換之多重查表式高頻數位脈波寬度調變器

指導教授：杜弘隆博士 學生：周玟萱、陳思靜、呂婉榕

輔仁大學 電機工程學系 大學部專題生

Introduction

隨著時代的演變，科學技術蒸蒸日上，VLSI產業蓬勃發展，各式電子產品已成為人類生活中不可或缺重要元素，相對地，產品規格選擇方面，電源轉換需求備受重視。由於人們對於生活品質條件及環保意識逐漸提高，消耗功率低、面積小及成本低將成為未來發展的主流。在此利用數位控制實現直流電源轉換器，數位化優點為穩定性高，速度快及可程式化。因此，在電力電子領域中，電源轉換器之重要性不可言喻。

DC-DC電源轉換器在現今電子產品中已廣泛運用，因此本專題提出數位脈波寬度調變器以控制電壓，適應於多樣產品規格需求。而控制電路以數位化方式呈現，以達到低成本、面積小及容忍度高……等特性，Fig1為切換式DC-DC 降壓式數位脈波寬度調變控制電路，其中包含A/D converter、Digital Compensator、DPWM及Switching DC/DC Buck Converter，本專題提出比較器及誤差處理單元(EPU)取代A/D converter，而Digital Compensator則利用多重查表式，面積將大幅減少，速度必能提升(Fig2)。

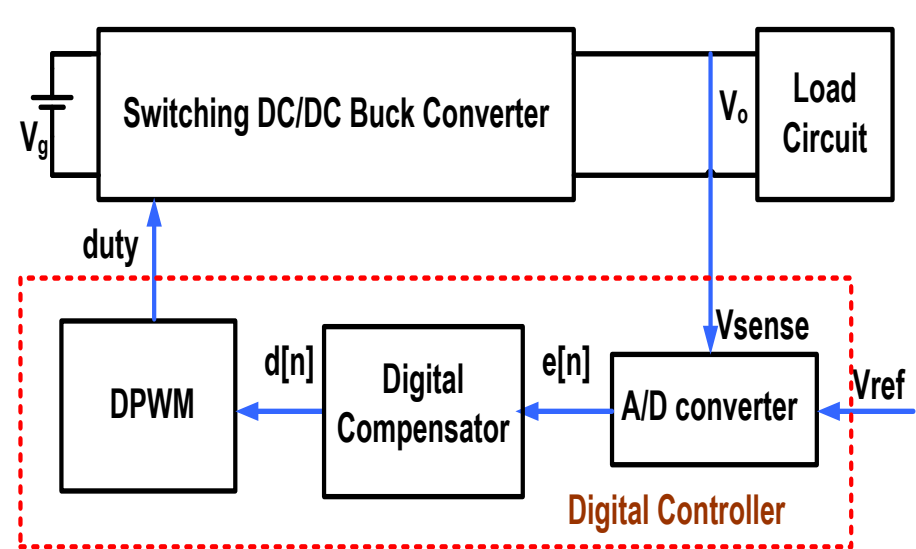


Fig 1 切換式DC/DC 降壓式數位脈波寬度調變控制電路方塊圖

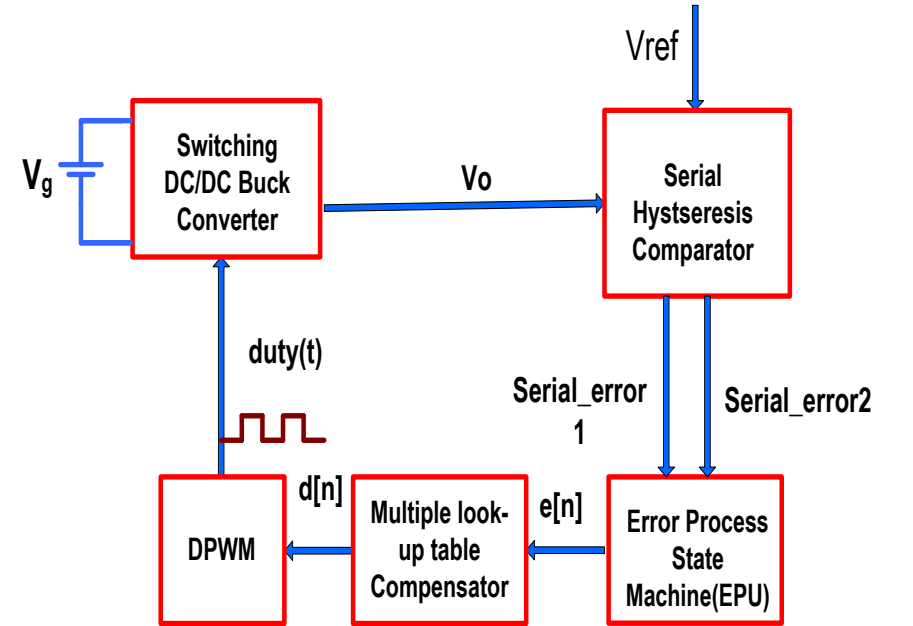


Fig 2 串列誤差修正調整型控制切換式降壓電路方塊圖

THE PROPOSED DIGITALCONTROLLER ARCHITECTURE

Fig3所示：包含切換式降壓型直流對直流轉換器(Switching DC/DC Buck Converter)、比較器(Comparators with hysteresis)、2-bit 誤差處理狀態機(EPU)、多重查表式數位補償器(Digital Compensator)、數位脈波寬度調整器(DPWM)。

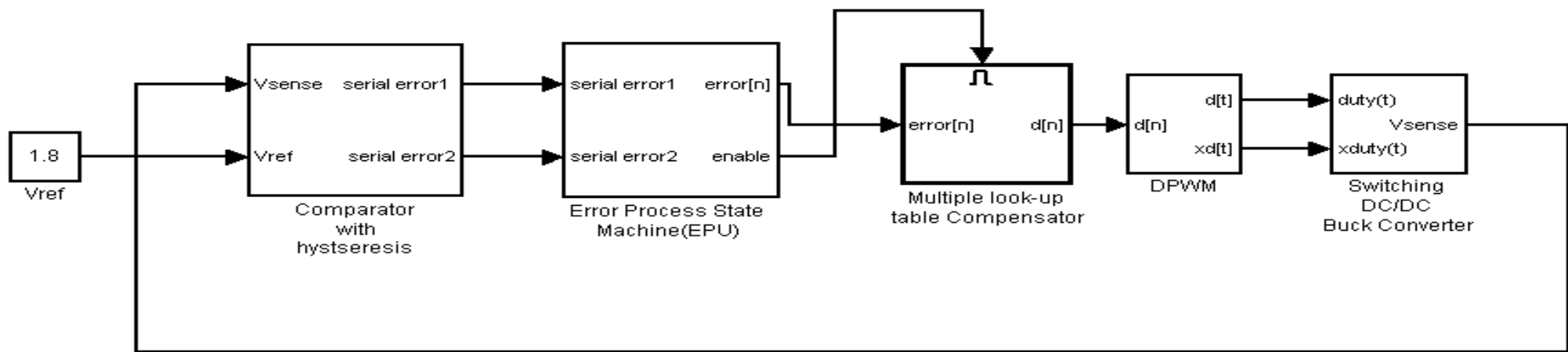


Fig 3 全系統方塊圖

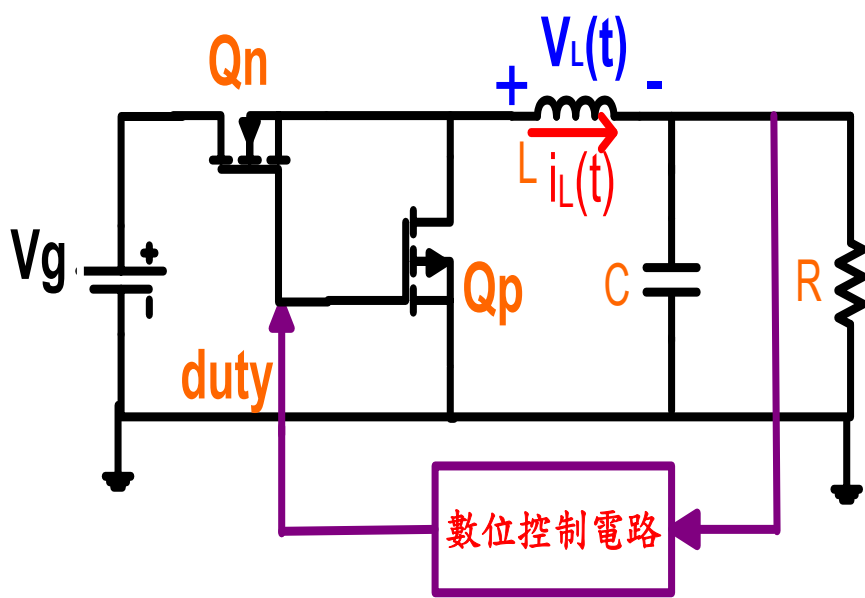


Fig 4 切換式DC/DC 降壓型等效電路

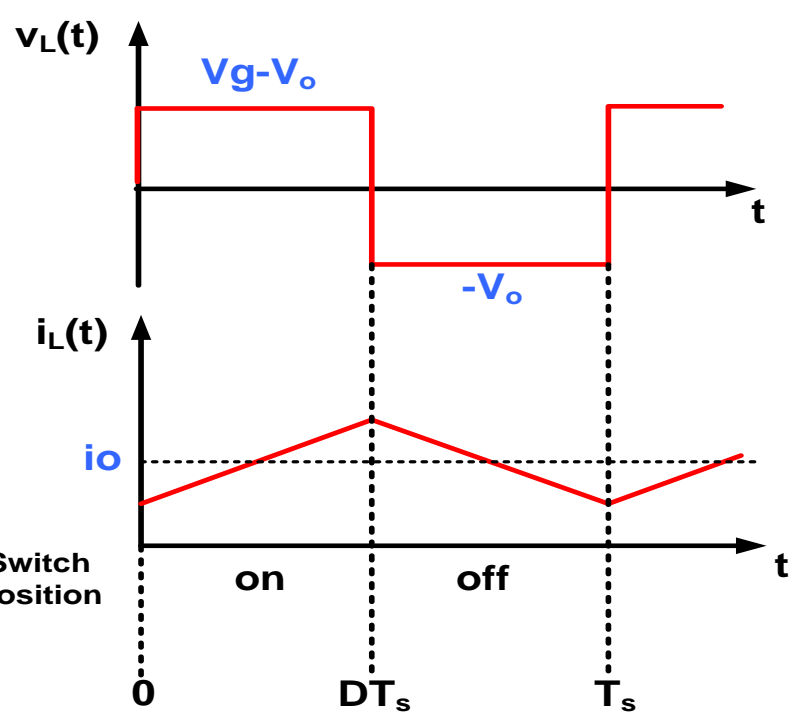


Fig 5 穩態電感電壓與電感電流波形的對應圖

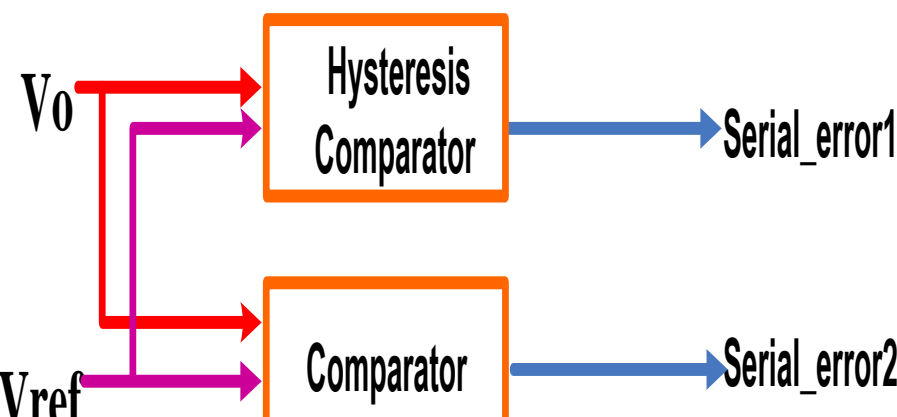


Fig 6 比較器與系統的相對關係圖

· **SwitchingDC/DC Buck Converter**：duty為控制開關導通與截止，進而調整輸出電壓(V_o)。當duty為高位準時，QN導通，QP截止， i_L 為線性上升；反之，duty為低位準時，QN截止，QP導通， i_L 為線性下降。

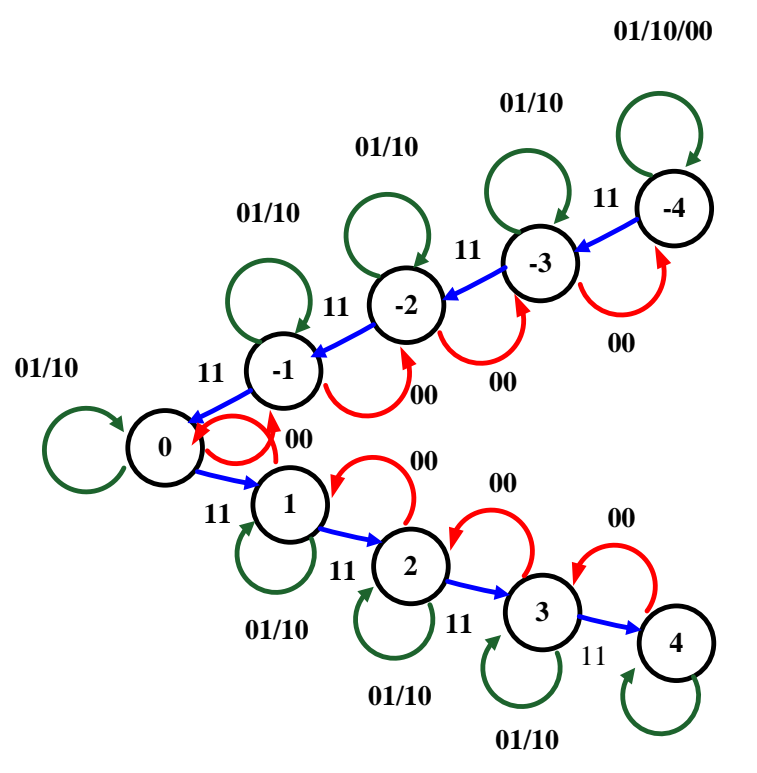


Fig 7 2-bit 誤差處理單元狀態圖

Present State	serial_error[1,2]=11		serial_error[1,2]=00		serial_error[1,2]=10/01	
	Next State	Binary Code	Next State	Binary Code	Next State	Binary Code
+4	+4	0100	+3	0011	+4	0100
+3	+4	0100	+2	0010	+3	0011
+2	+3	0011	+1	0001	+2	0010
+1	+2	0010	0	0000	+1	0001
0	+1	0001	-1	1111	0	0000
-1	0	0000	-2	1110	-1	1111
-2	-1	1111	-3	1101	-2	1110
-3	-2	1110	-4	1100	-3	1101
-4	-3	1101	-4	1100	-4	1100

Table 1 誤差處理狀態機之狀態表

· **Serial Hysteresis Comparator**：輸出電壓(V_o)一開始為0V時(< V_{ref})，serial_error[1,2]=11， $d[n]$ 持續增加，duty慢慢加寬；反之，輸出電壓持續增加至超過 V_{ref} (1.8V)時，serial_error[1,2]=00，duty寬度慢慢減少，最終serial_error[1,2]=01，狀態維持不變，輸出電壓(V_o)趨近於1.8V，此值即為所求。

· **Error Process State Machine(EPU)**：假設誤差處理狀態機初使狀態為0，當輸入訊號serial_error[1,2]=11時，輸出累加1，最大值为+4；輸入訊號serial_error[1,2]=00時，輸出遞減1，最小值为-4，當輸入訊號serial_error[1,2]=10/01時，輸出則鎖住不變。依據前述 $e[n]$ 被分成九個位準，故此需要4-bit的二進制(2's complement)來表示。

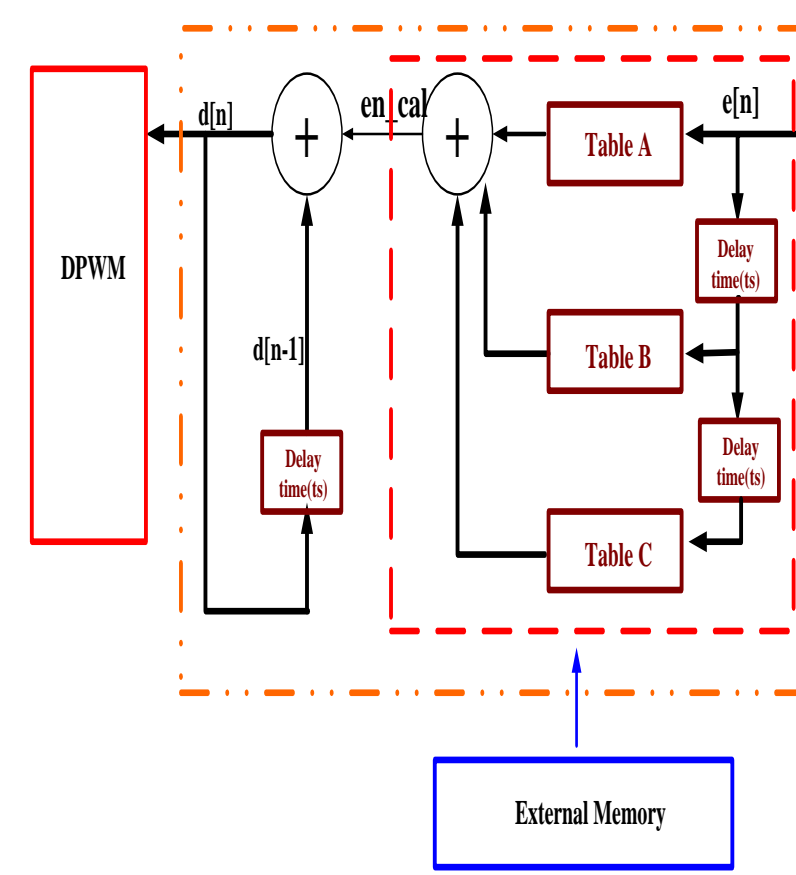


Fig 8 多重查表數位補償器電路架構

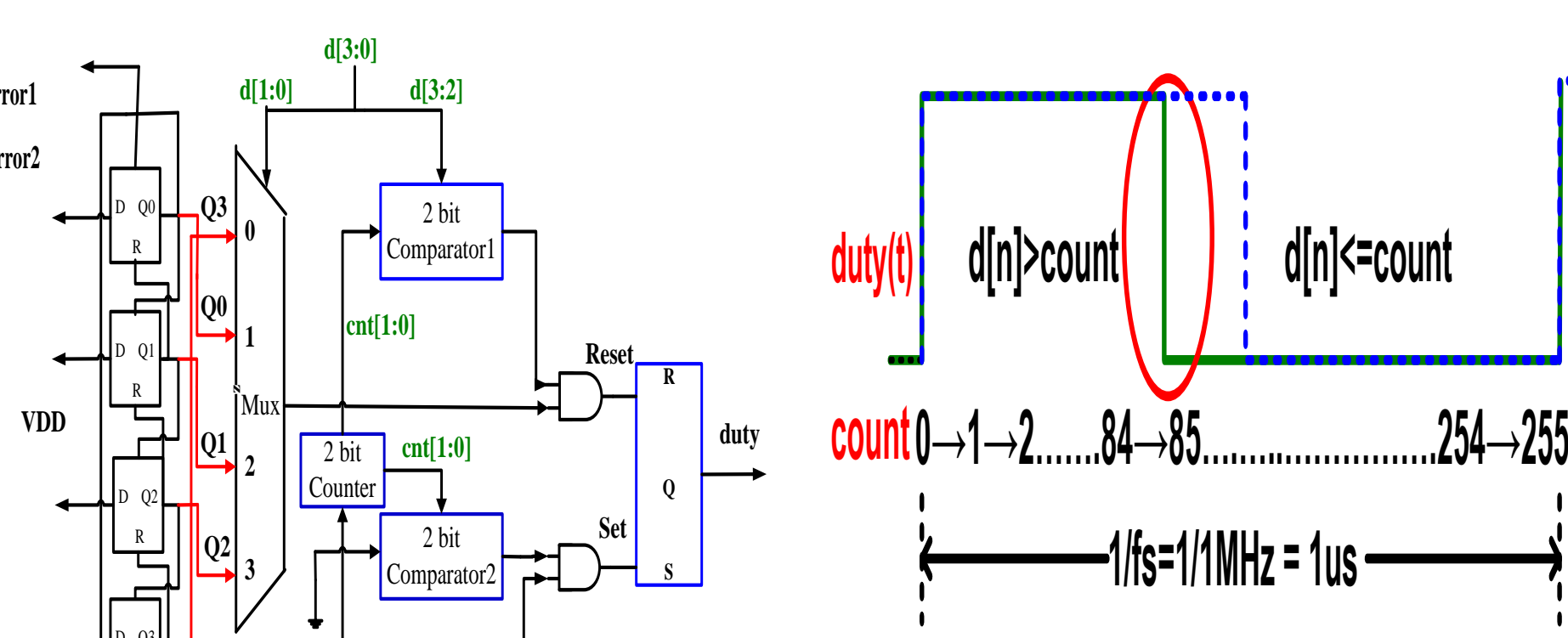


Fig 9 四位元的數位脈波 Fig 10 數位脈波寬度調變器輸出寬度調變器

- **Multiple look-up table Compensator**：將傳統查表稍作改良，部分加法器的運算併入其中，預先將部分結果存入外部記憶體，此時，減少加法器使用，面積大幅減少，速度必定會大幅度提升。
- **Digital Pulse-Width Modulator**：計數器從0開始累加，計數一次，就與控制量 $d[n]$ 比較，若 $d[n]$ 大於計數器輸出，則輸出(duty)為高電位，反之， $d[n]$ 小於計數器輸出，則輸出(duty)為低電位。所以根據不同的 $d[n]$ 值，會產生不同脈波寬度(duty)。

SIMULATION AND EXPERIMENT RESULTS

· MATLAB 7.6 SIMULINK 模擬全系統

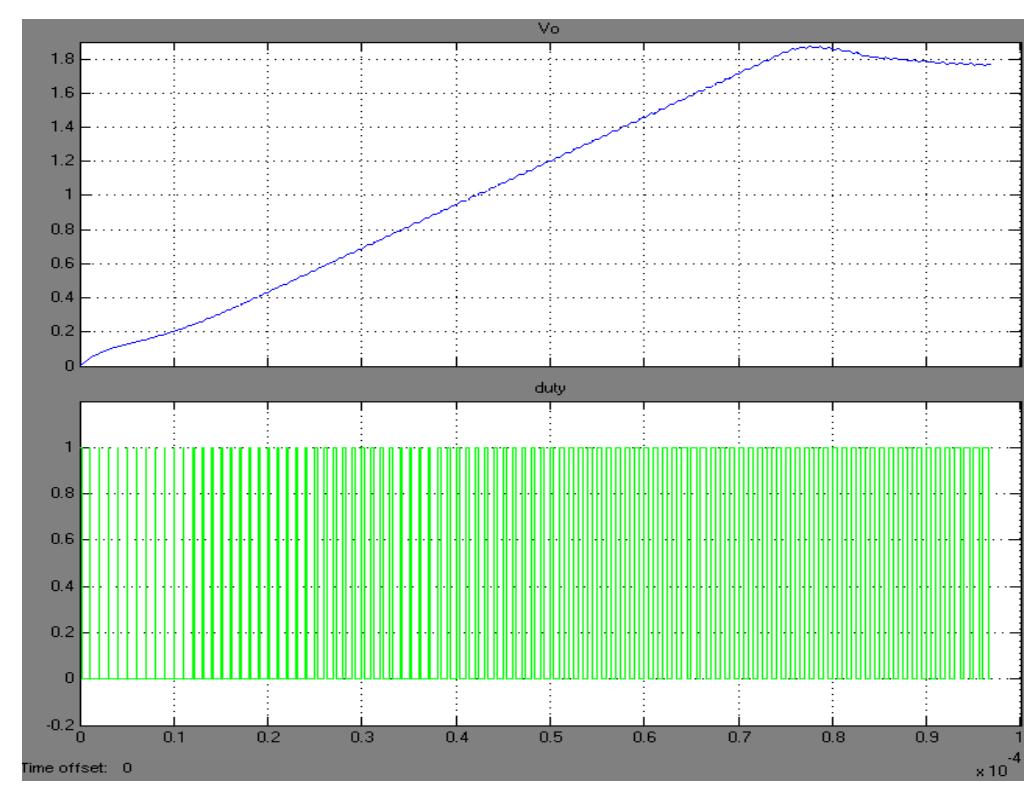


Fig 10 輸出電壓與duty

· RTL verification

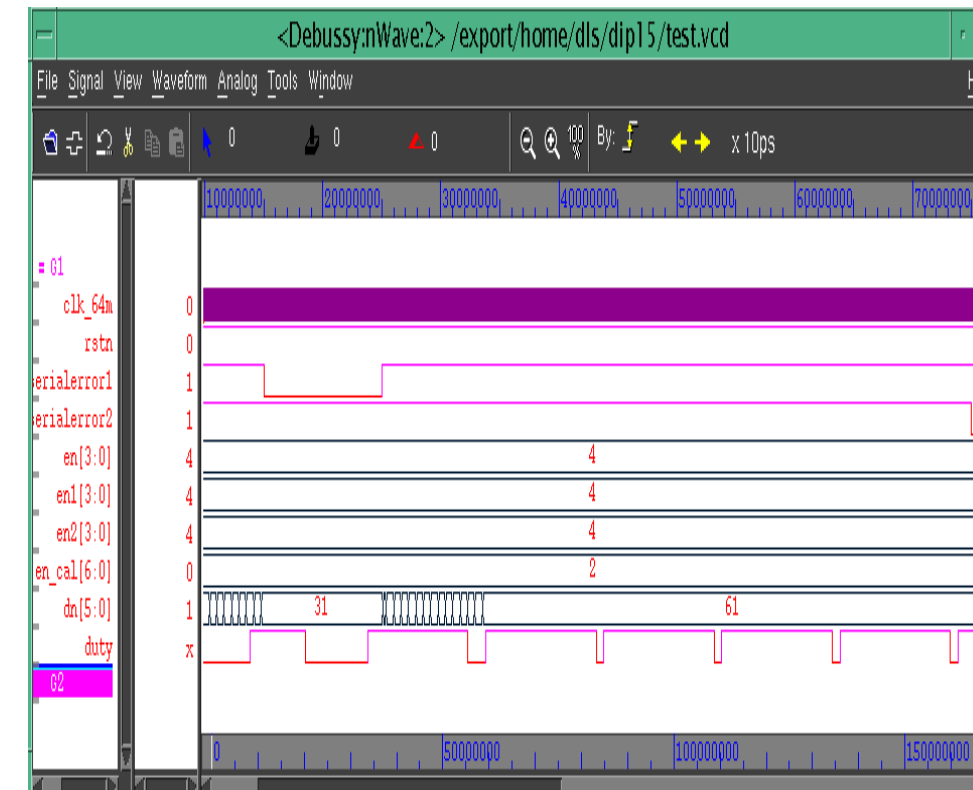


Fig 10 duty寬度提升

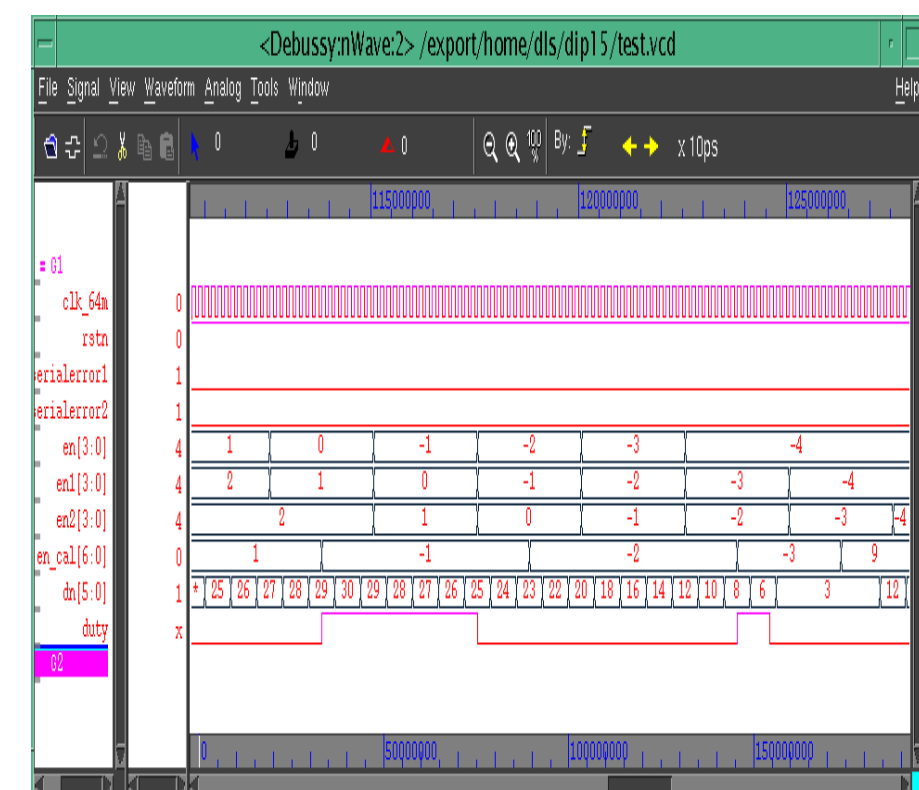


Fig 11 duty寬度下降

· 數位電路部份以Verilog實現於FPGA(ALTERA DE2)

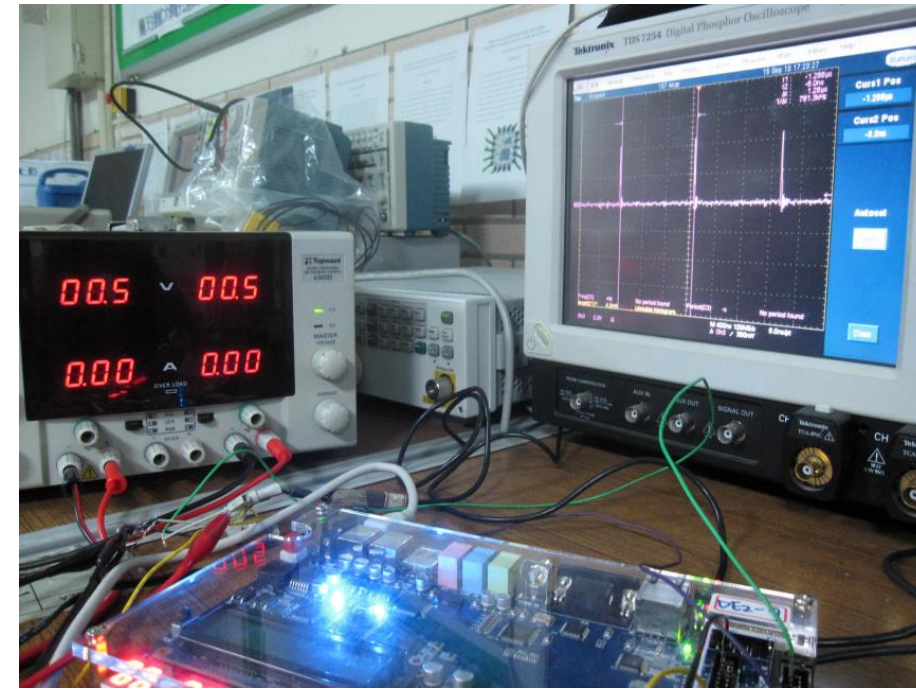


Fig 12 脈寬duty最小值

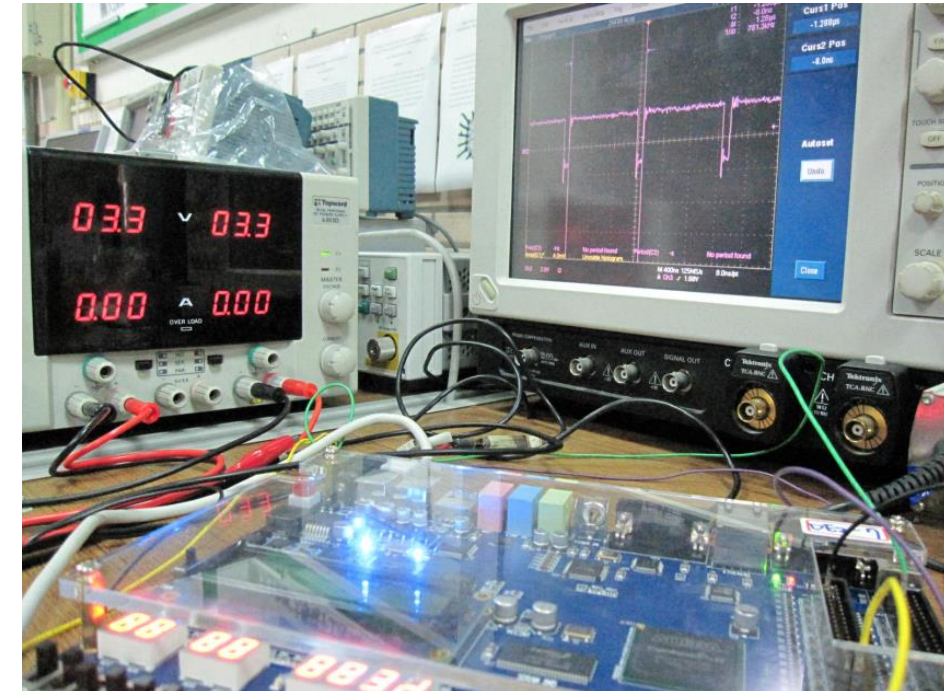


Fig 13 脈寬duty最大值

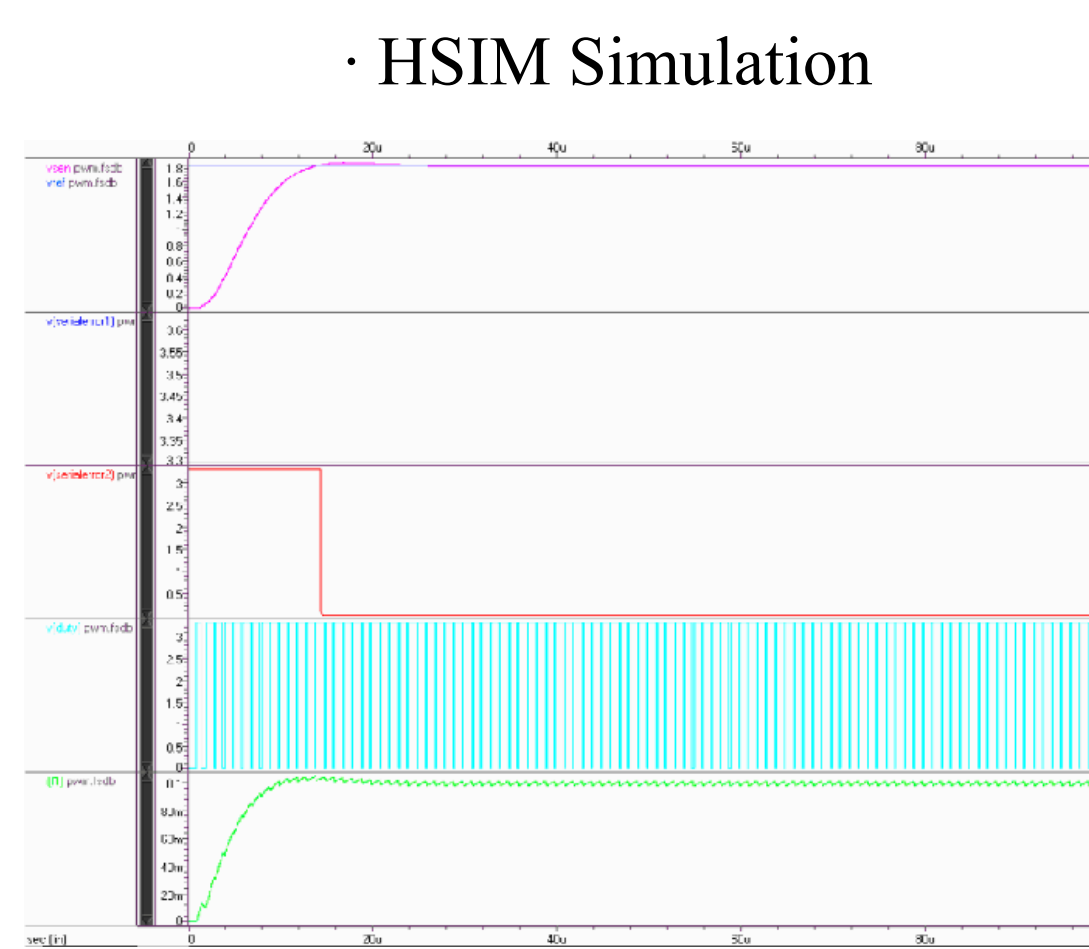


Fig 14 全系統模擬波形圖

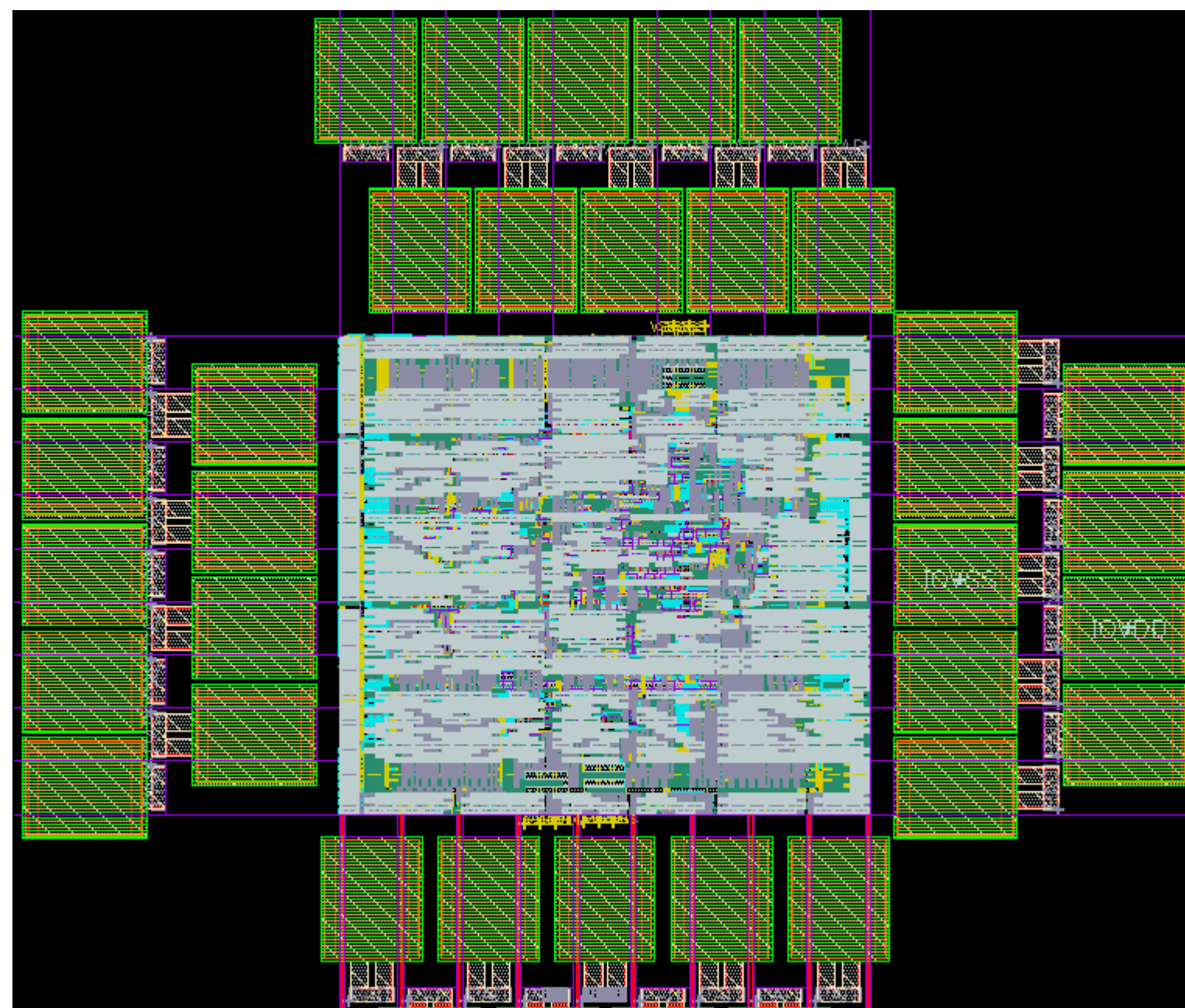


Fig 15 Chip layout design

規格	結果
Supply	3.3V
Reference regulated voltage	1.8V
DPWM resolution	6 bits
Switching frequency	1MHz
Count frequency	64MHz
Power consumption@ VDD=3.3V	6.6mW
Chip area	11233.3 um^2

Table 2 系統規格表

CONCLUSION

- 補償器則將傳統運算單元，以多重查表式將其取代，此法達成面積小及速度快之優點。
- 新電路架構取代傳統式類數位轉換器，而此架構利用串列式遲滯比較器及誤差處理狀態機實現之，因而改善其電路複雜度及功率消耗量。
- 若增加誤差範圍 $e[n]$ 值，可使電壓調變之準確度提升，但是面積相對地增加，精確度與製成面積的取捨，將是未來設計電路的關鍵。
- 未來希望利用外接記憶體以減少電路面積，然而必須考慮到資料傳輸的即時性及準確性。



2017 輔仁大學電機工程學系 大學部專題成果展

